

# 光刻、OPC 与 DFM

翁寿松

(无锡市罗特电子有限公司, 江苏无锡 214001)

**摘要:** 讨论了 90/65 nm 芯片设计采用可制造性设计的必要性和优势。介绍了以 RET/OPC 为核心的可制造性设计。

**关键词:** 芯片设计; 光刻; 光学邻近效应校正; 可制造性设计; 分辨率增强技术

**中国分类号:** TN305.7 **文献标识码:** A **文章编号:** 1004-4507(2006)04-0018-05

## Lithography, OPC and DFM

WENG Shou-song

(Wuxi Luo Te Electronics Co., Ltd, Wuxi 214001, China)

**Abstract:** In this paper, necessity and benefit to adopted design for manufacturing in 90/65 nm chip design are discussed. Design for manufacturing by the core for resolution enhancement technology/optical proximity effect correction is introduced.

**Keywords:** Chip design; Lithography; Optical proximity effect correction(OPC); Design for manufacturing (DFM); Resolution enhancement thchmology(RET)

### 1 引言

笔者曾多次强调,有两大轮子推动着全球半导体产业不断地向前发展<sup>[1]</sup>,一个轮子是增大晶圆尺寸,从 200 mm 300 mm 450 mm,目前正在向 450 mm 晶圆进军。450 mm 晶圆将出现在 2012~2014 年,需耗资 40~45 亿美元<sup>[2,3]</sup>。但是,2005 年底市场调查公司 VLSI Research 警告说,由于 450 mm 晶圆设备开发成本十分高昂,450 mm 晶圆厂可能出现在 2020~2025 年,比原规划推迟 10 多年。2006 年初美国应用材料公司总裁兼 CEO Mike

splinter 也警告说,由于整个产业缺乏资金,半导体设备产业尚未做好全速推进和开发下一代 450 mm 晶圆的准备。更有某些业内人士认为,300 mm 晶圆可能是绝版。另一个轮子是减小芯片特征尺寸,从 130 nm 90 nm 65 nm 45 nm 32 nm 22 nm 16 nm,目前正在向 65 nm 节点过渡。按 ITRS 2003 要求,2007 年实现 65 nm 节点。英特尔已于 2005 年底,2006 年初量产 65 nm 芯片,英特尔准备投资 50 亿美元将 5 座 90 nm 晶圆厂通过更换设备升级至 65 nm 晶圆厂。在 2006 年内 65 nm MP4 发货量将超过 90 nm MP4 发货量。在全球半导体产业领

收稿日期:2006-01-10

作者简介:翁寿松(1940-),男,浙江宁波人,高级工程师。目前主要从事半导体器件、市场和设备的研究,共发表 200 余篇论文。

域内,能独自在自己的65 nm的晶圆厂内量产65 nm芯片的厂商恐怕只有为数不多的几家,如英特尔、TI和富士通。TI正在建设65 nm Richardson厂,总投资30亿美元,2005年底65 nm工艺通过验证,2006年量产。富士通准备投资1200亿日元在三重县富士通三重半导体厂内兴建65 nm晶圆厂,2007年投入运营,2007年7月量产,月产2.5万片。但对于大多数IC厂商来说,采取联合研发和量产65 nm芯片的办法。

65 nm芯片属纳米尺度SoC,芯片漏电流、功耗、散热、更低电源电压、信号完整性(SI)、子波长刻等电气和物理效应以及工艺可变性对芯片性能和良率的影响日益突出,导致65 nm芯片设计更为复杂,更为困难,要求在65 nm芯片设计时就考虑影响芯片性能和良率的因素,要求芯片设计师具备制造意识,在设计中要增加制造功能,为此,必须采用可制造性设计(Design for manufacturing:DFM)。

## 2 为什么要进行DFM

### 2.1 采用DFM的理由

(1) 以往传统一次流片的签字确认的验证屡遭失败;

(2) 一套65 nm芯片掩模版成本实在太高,需几百万美元。据台积电透露,开发一套65 nm工艺需耗资10多亿美元;

(3) 在设计制造之间架起一座桥梁,加强设

计公司、晶圆厂、晶圆代工厂、掩模厂、IP供应商和EDA工具供应商之间的联系;

(4) 以往传统设计规则已不再适用,如版图几何设计方面应注意的事项等,需采用基于工艺模型的设计规则,如压力、厚度、精度、负偏置温度不稳定性(NBTT)和热载流子注入(HCI)效应等。

### 2.2 采用DFM的优点

(1) 提高芯片的生产效率和良率;

(2) 降低芯片生产成本;

(3) 缩短芯片生产周期。

DFM可理解为:以快速提升芯片良率的生产效率以及降低生产成本为目的,统一描述芯片设计中的规则、工具和方法,从而更好地控制集成电路向物理晶圆的复制。是一种可预测制造过程中工艺可变性的设计,使得从设计到晶圆制造的整个过程达最优化<sup>[4]</sup>。ASML掩模工具公司CEO兼总裁Dinesh Bettadapur认为,DFM是一个多维问题,需要三个方面来支撑DFM,一是商业,包括商业模式、激励和ROI(投资回报率)工具等;二是组织,包括组织结构、交叉培训和跨越不同领域的鼓励和奖励;三是技术,包括较高NA、CPL(圆偏振光)、DDL,先进的照明,OPC和散状带等。LSI Logic公司技术市场主管Bob Madge认为,DFM包括参数良率、系统良率、随机良率、可靠性、测试和诊断的6大设计,其中这种设计都与晶圆厂缺陷度、设计测试有效性有密切关系,见表1<sup>[5]</sup>。为此,要求设计工程师,工艺工程师、设备工程师与掩模制造工程师通力合作,共同完成DFM任务。

表1 DFM的介大设计

	参数良率设计(DFY <sub>p</sub> )	系统良率(DFY <sub>s</sub> )	随机良率(DFY <sub>R</sub> )	可靠性设计(DFR)	测试设计(DFD)	诊断设计(DFT)
问题	性能		良率可预测性			故障范围/模型
	泄露功耗		电阻性能缺陷			VDSM(基深亚微米)缺陷屏蔽、
	固有的变化		老化有效性			测试形成时间
	混合信号		应力释放			诊断
	硅模		系统缺陷			增大矢量计数
	互连延迟		封装相互影响			提升测试成本
	效率效应/SI					结构测试
解决方案	静态模型		良率设计			静态测试
	APC(先进工艺控制)		临界面积			嵌入式测试
	RET(分辨率增强技术)		缺陷率试验芯片			测试矢量压液

资料来源:LSI Logic

## 3 以RET/OPC为核心的DFM

要实现IC芯片特征尺寸和最小线宽(CD)的不断缩小必须由光刻设备来完成。目前能量产IC芯片的光刻设备有光学光刻机。每当IC芯片特征尺寸提升一个节点,就要求光学光刻机的分辨率提高一个档次,或降低工艺参数 $k_1$ ;或缩短曝光光源波长;或增大光学透镜数值几近NA;或改善光学波前工程,如OPC和PSM(相信移掩模版)等。目前业界普遍认为,实现90 nm节点的主流光刻机是193 nm ArF Stepper(准分子激光器扫描分步投影光刻机);实现65 nm节点的光刻机是193 nm ArF Stepper或193 nm ArF 浸没式光刻机。前者的支持者是英特尔,但必须对其OPC和PSM作重大改进和提高,如采用交替相位移掩模版(Alt-PSM)<sup>[6]</sup>需花费昂贵的掩模版费用,也只有财大气粗的英特尔能承受得起;后者的支持者是IBM、台积电、比利时IMEC微电子中心等,由于193 nm ArF 浸没式光刻机的分辨率比193 nm ArF Stepper高,所以它对OPC和PSM的要求相对要低些。

当光刻工艺出问题或不稳定时,CD将达不到规范或出现变形,从而影响晶体管性能。在前道(FEOL)会影响晶体管电性能,如关闭电流 $I_{OFF}$ ,漏极饱和电流 $I_{dsat}$ ,阈值电压 $V_t$ 、功耗,甚至使晶体管失效。在后道(BEOL)会导致接触电阻的升高等<sup>[6]</sup>。在芯片设计RET/OPC掩模制备晶圆制造工艺制程中光刻、刻蚀和CMP还可能引起系统缺陷,它并非因掩模质量引起,而是由于RET与布局、掩模制造及最终晶圆工艺复杂的相互作用的结果,即使在规格范围内的轻微边缘性缺陷进入后道工序时也会引起灾难性失效。如果几道工艺流程在统计分布模型的边缘而不是在正中心位置出现衰减,可能会堆叠堵塞,给晶圆带来灾难性失效或良率大幅度下降,见图1<sup>[7]</sup>。这些边缘性缺陷会严重限制工艺窗口,有的失效在电测试后都未能发现。KLA公司推出查找这些边缘性缺陷的解决方案—工艺窗口鉴定(PWQ)。在晶圆开始生产前掩模版进入晶圆厂时,就查找边缘性缺陷。采用这种解决方案可使以往需花费3个月的时间缩短致几天。

FINDING THE NEEDLE IN THE HAYSTACK

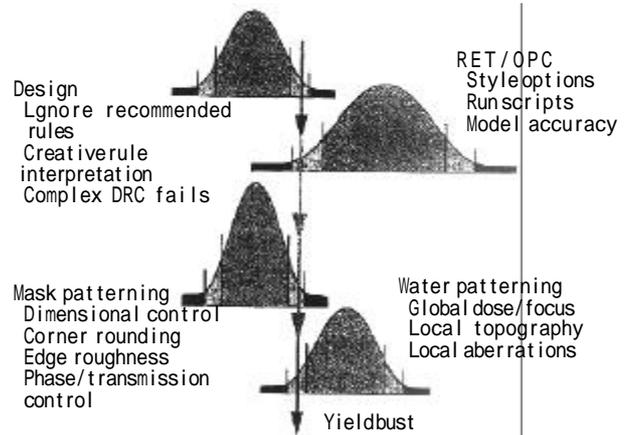


图1 边缘性缺陷可能会引起灾难性失效

为了解决CD尺寸的变形,CD尺寸缩小与OPC、PSM的不匹配和光刻工艺中出现的工艺可变性等问题,必须在芯片设计中考虑DFM,建立以RET/OPC为核心的DFM,并将其与良率/工艺为核心的DFM相结合(它们可能会具有不同的优化目标),形成一个完整的DFM,以优化从设计和晶圆的工艺流程。以良率/工艺为核心的DFM包括设计规则的修改以改进版图的稳定性和避免随机工艺缺陷对良率的限制。光学邻近效应是由于邻近图形上散射光之间的干涉而引起。OPC就是用来补偿由于光学邻近效应而引入的不希望得到的版图变形。目前OPC已从基于设计优化的工艺波动规则的传统方法发展到更加复杂的基于模型的修正。如英特尔65 nm工艺采用8层铜互连,在最初的几层全金属层间距都很小, $M_1$ 为 $0.21 \mu\text{m}$ 、 $M_2$ 为 $0.21 \mu\text{m}$ 、 $M_3$ 为 $0.22 \mu\text{m}$ ,这时必须采用OPC才能正确修正 $M_1$ 掩模上的图形。AMD与密歇根大学联合推出一种新OPC方法,即从已往布局布线的完整芯片版图中提取剩余OPC错误的方法,使实际的CD值用于时序分析,这套自动化OPC设计流程是:标注关键的栅极,对经过OPC修正的版图进行反标以及对整个电路网表的选择性提取<sup>[4]</sup>。

ASML、ASML掩模工具和Cadence等对以RET/OPC为核心的DFM提出了解决方案,见图2<sup>[5]</sup>。该解决方案包括集成的掩模到晶圆的基础结构。目前掩模版制造商首先使用以RET/OPC为核心的DFM,然后再制备掩模版。其流程大体为:先将

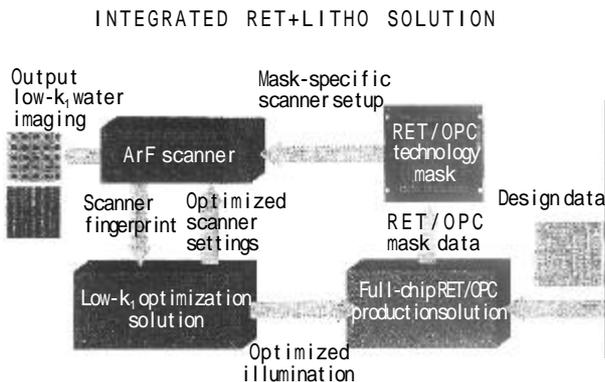
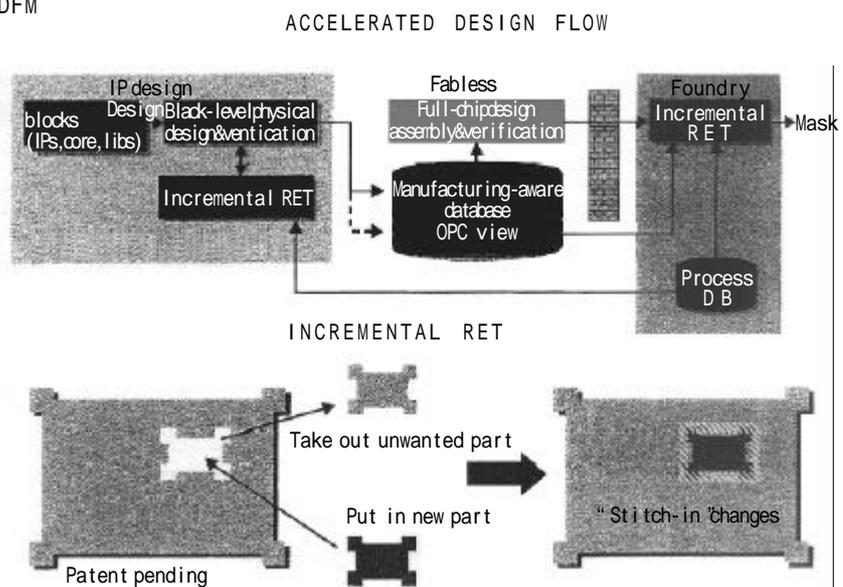


图2 以RET/OPC为核心的DFM

设计数据通过全芯片RET/OPC制造解决方案,获取RET/OPC掩模数据,制备RET/OPC工艺掩模,再根据掩模—特殊扫描器总体布置经过193 nm ArF光刻机扫描器,输出低 $k_1$ 晶圆图形。光刻机通过扫描器机械手打印出低 $k_1$ 优化解决方案,一方面帮助设置优化的照明条件;另一方面将优化的扫描器调整反馈到光刻机,这样光刻机的性能被包含在光刻机模拟和优化解决方案中,所以全芯片RET/OPC制备解决方案中,设计数据和所有的RET都被应用起来,然后从信息中取出一份详细的掩模数据,供掩模版厂商制备掩模版。

Aprio Technologies公司市场营销副主管Randy Smith认为,目前基于模型的OPC是多次反复的掩模增强技术校正,包括模拟、移动边缘和再次模拟等,从设计进入掩模数据准备阶段到开始90 nm工艺的制造(包括RET的校正和校正的验证)需要花费3周时间,计算工作量需50个CPU;对于65 nm工艺需花费6周时间,计算工作量需150个CPU。为了缩短这段时间需增加RET,使用一个可重新配置的OPC信息,把不必要的区域去除,放入新的区域,并修复被去除区域周围的HALO,见图3<sup>[5]</sup>。这种可重复配置的OPC技术还可用于改变掩模(工程更改命令,即ECO<sub>s</sub>)、晶圆厂生产线重新定标

准、检验和修复。通过检验和修复,OPC设计人员可以处理OPC层,使用检验工具找出需要修正的地方。一旦某种类型的修正重复几次后,可被看做是菜单,其中包含的信息可用于原始的OPC设置。但是OPC菜单是在不断变化,要求OPC设计人员要处理各种各样独特的问题。通过设计/OPC优化和光刻工艺优化可建立光刻工艺建模,见图4。设计工程师和OPC工程师可通过大面积光刻模拟,获取光刻工艺优化。



(来源:Apriv Technologies)

图3 可重新配置的OPC技术

为了推进DFM,EDA工具供应商应推出更先进、更完美的设计工具,这种工具能建立容易集成到IC芯片流程的工艺模型。目前商用EDA工具存在的问题是对工艺可变性的理解和实现,至今还未发现一种流程,能从最开始就考虑到设计意图,并将这些意图贯穿到最终的光刻步骤。世界著名市场调研公司Gartner首席EDA分析师Gary Smith认为:2005~2006年EDA行业所有新增长点将体现在DFM和ESL(电子系统级)设计领域。含有DFM的EDA价格昂贵,一套RET/OPC工具价格与一台光刻机相当,约3000万美元。2006年初EDA新秀Sigma-C推出首款微印刷仿真/图像验证工具,可将电子级设计转移到印制晶圆上,以防让65 nm

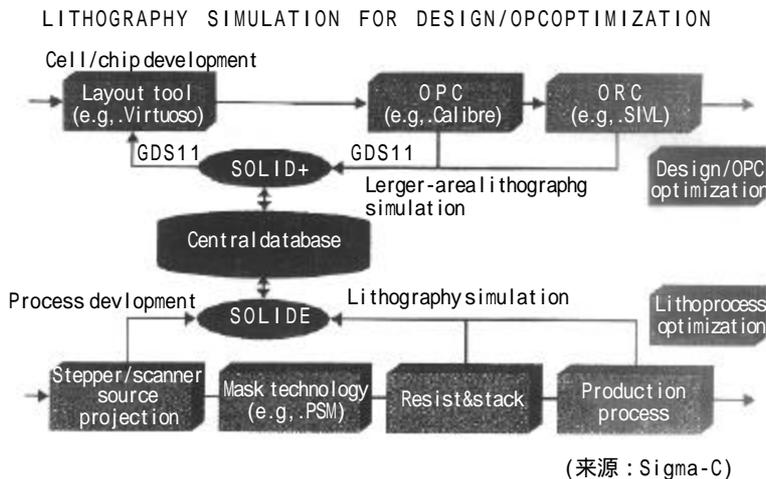


图4 基于设计/OPC优化的光刻工艺建模模拟

的掩模故障。该工具的仿真范围比传统印刷大 200 倍，它可在芯片设计过程中识别热点，芯片小为  $20\ \mu\text{m} \times 20\ \mu\text{m}$ ，图 4 中的 SOLID+ 工具有现货供应，售价 14 万美元。Fredictions Software 推出针对随机缺陷的 FEYE Yield Finder 工具，它可确定 IC 版图可能会引起良率问题的特殊形状或图形。Gadence 推出面向 65 nm 节点具有良率意识和变景意识的物理设计套件 SoC Encounter GXL 系列工具，它提供设计流程多与阶段的良率分析和优化，以及多模式和多边界时序分析，还包含全静态时序分析和时钟网格综合能力。这种 GXL 系列工具还包含物理版图估计、自动重新定标、自上而下低

功率分区、多操作模式的协同综合和面向 CPU 执行的超线程功能。Magma 推出 65 nm 工艺设计工具 Cobra，它包含首个商用统计时序引擎、首个互连综合、确认质量静态时序引擎和快速设计规则校验 (DRC) 以及版图对照电路图 (LVS) 等。

总之，在 IC 芯片步入 90/65 nm 节点，在芯片设计、OPC 设计和掩模版设计中必须采用 DFM。只有这样才能提升 IC 芯电良率、降低成本和缩短产品上市时间。

## 参考文献：

- [1] 翁寿松. 推动半导体产业链发展的两大轮子[J]. 半导体技术 2004, 29(5): 25-42.
- [2] 翁寿松. 200 mm、300 mm 和 450 mm 晶圆及其生产线发展动态[J]. 集成电路应用 2005, (3): 1-2.
- [3] 翁寿松. 谁为研发 450 mm 晶圆的 IC 设备买单? [J]. 电子工业专用设备 2005, 34(11): 11.
- [4] Laura Peters. DFM 透视[J]. 半导体国际(中文版) 2005, 1(5): 18.
- [5] Laura Peters. DFM: 碰撞后合作的世界[J]. 半导体国际(中文版) 2005, 1(6): 20-25.
- [6] 任强, 詹思诚. 为提高成品率改善光刻工艺的一些方法[J]. 半导体国际(中文版) 2005, 1(3): 40-43.
- [7] Alexander E. Braun. 图形相关缺陷成为难以检测的致命缺陷[J]. 半导体国际(中文版) 2005, (16): 26-28.

(上接第 4 页)

过程中产生的热量离封装很远 (在电路板的另一面)。但随着表面安装封装出现，封装材料需要能够抵受焊料回流的热量。即使今天，几种较大型封装也需要在烘干后进行干燥装配，以确保封装不会在安装到电路板时因为回流工艺的冲击而产生裂痕。业界一直不断努力改进铸模混合物及芯片粘接材料，以省去对干燥装配的要求。

封装材料的另一项最新要求是在封装中做到完全无铅，并根据环保要求采用“绿色材料”。封装业已开发出基本上无铅同时无损其应用可靠性的材料。铅锡焊料已由锡银和铜合金组成的无铅焊料所

取代。铸模混合物中的大部分卤化物 (用作阻燃剂) 都已除去。

## 7 结语

半导体制造的不断进步，加上更多功能在单个芯片上的集成，为半导体封装技术带来了极严格的要求。由于器件的速度加快、热量增多，封装技术必须不断改进，才不会成为限制系统性能的阻碍因素。在每一步的发展中，封装工程师往往都能应付挑战，并且紧贴硅技术的创新发展。